



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000323984 A**(43) Date of publication of application: **24.11.00**

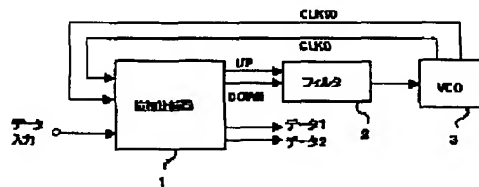
(51) Int. Cl. **H03L 7/089**  
**H04L 7/033**

(21) Application number: **11130034**(71) Applicant: **NEC CORP**(22) Date of filing: **11.05.99**(72) Inventor: **HAYATA MASAOKI**(54) **PLL CIRCUIT**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a PLL circuit which can be made implemented into an IC and is suitable for digital high-speed operation.

**SOLUTION:** The PLL circuit is equipped with a phase comparator which detects the phase difference between input data and a 1st clock generated by a VCO 3 and having frequency a half as high as the bit rate of the input data by using the input data, the 1st clock, and a 2nd clock signal which is 90° out of phase with the 1st clock, outputs a phase lead/lag signal, and further can separate the input data in 1:2 proportion. Further, the circuit is equipped with a filter which generates a control voltage for the VCO 3 by using the output of the phase comparator 1. The output of the filter 2 is fed back to the VCO 3.



COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-323984  
(P2000-323984A)

(43)公開日 平成12年11月24日(2000.11.24)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 3 L 7/089		H 0 3 L 7/08	D 5 J 1 0 6
H 0 4 L 7/033		H 0 4 L 7/02	B 5 K 0 4 7

審査請求 有 請求項の数 6 O L (全 9 頁)

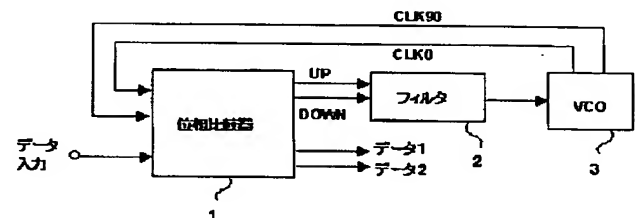
(21)出願番号	特願平11-130034	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成11年5月11日(1999.5.11)	(72)発明者	早田 征明 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100065385 弁理士 山下 穰平
		Fターム(参考)	5J106 AA04 CC01 CC24 CC38 CC41 DD32 DD42 DD43 JJ02 KK02 KK03 KK37 LL02 5K047 AA02 GG02 GG11 MM28 MM33 MM46 MM50 MM53 MM60 MM63

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】 IC化可能なデジタル方式の高速動作に適したPLL回路を提供する。

【解決手段】 入力データと、VCOから発生される入力データのビットレートに対して1/2の周波数を持つ第1のクロックと、前記第1のクロックと90度の位相差を持つ第2のクロック信号を用いて、入力データと前記第1のクロックとの位相差を検出し、位相の進み遅れの信号を出力し、さらに、入力データを1:2に分離することが出来る位相比較器と、前記位相比較器の出力を用いて前記VCOの制御電圧を発生させるフィルタと、前記フィルタの出力信号を前記VCOに帰還する構成を持つことを特徴とする。



## 【特許請求の範囲】

【請求項 1】 入力データと、電圧制御発振器（VCO）から発生し前記入力データのビットレートに対して  $1/2$  の周波数を持つ第 1 のクロックと、前記第 1 のクロックと 90 度の位相差を持つ第 2 のクロック信号とを用いて、前記入力データと前記第 1 のクロックとの位相差を検出し、位相の進み遅れの信号を出力し、さらに、前記入力データを 1:2 に分離する分離データを得ることができる位相比較器と、前記位相比較器の出力を用いて前記 VCO の制御電圧を発生させるフィルタと、前記フィルタの出力信号を前記 VCO に帰還する構成を有することを特徴とする PLL 回路。

【請求項 2】 前記位相比較器は、データサンプリング回路と位相判定回路から構成され、前記データサンプリング回路は第 1 と第 2 の識別器及び第 1 と第 2 の D 型フリップフロップ（DFF）から構成され、前記第 1 と第 2 の識別器のデータ入力端子には、前記入力データが入力され、前記第 1 の識別器のクロック入力端子には、前記第 1 のクロックの論理が反転されたものが入力され、前記第 2 の識別器のクロック入力端子には、前記第 1 のクロックが入力され、前記第 1 と第 2 の DFF のデータ入力端子には、前記入力データが入力され、前記第 1 の DFF のクロック入力端子には前記第 2 のクロックが入力され、前記第 2 の DFF のクロック入力端子には、前記第 2 のクロックの論理が反転されたものが入力され、さらに、前記第 1 と第 2 の識別器の出力を前記分離データとして出力し、また、前記位相判定回路は 3 つの入力端子を持つ第 1 から第 4 の AND 回路と 2 つの入力端子を持つ第 1 と第 2 の OR 回路から構成され、前記第 1 と第 2 の AND 回路の 2 つの入力端子には前記第 1 の識別器の論理反転出力と前記第 2 の識別器の出力が接続され、前記第 1 の AND 回路の残りの入力端子には前記第 1 の DFF の出力が接続され、前記第 2 の AND 回路の残りの入力端子には前記第 1 の DFF の論理反転出力が接続され、前記第 3 と第 4 の AND 回路の 2 つの入力端子には、前記第 1 の識別器の出力と前記第 2 の識別器の論理反転出力が接続され、前記第 3 の AND 回路の残りの入力端子には前記第 2 の DFF の出力が接続され、前記第 4 の AND 回路の残りの入力端子には前記第 2 の DFF の論理反転出力が接続され、前記第 1 の OR 回路の入力端子には前記第 1 と第 3 の AND 回路の出力が接続され、前記第 2 の OR 回路の入力端子には前記第 2 と第 4 の AND 回路の出力が接続され、前記第 1 の OR 回路の出力が UP 信号として前記フィルタに出力され、前記第 2 の OR 回路の出力が DOWN 信号として前記フィルタに出力されることを特徴とする請求項 1 記載の PLL 回路。

【請求項 3】 前記位相比較器は前期サンプリング回路と前記位相判定回路及び第 3 と第 4 の DFF から構成され、前記位相判定回路の前記第 1 の OR 回路の出力が前

記第 3 の DFF のデータ入力端子に接続され、前記第 2 の OR 回路の出力が前記第 4 の DFF のデータ入力端子に接続され、前記第 2 のクロックが前記第 3 と第 4 の DFF のクロック入力端子に接続され、前記第 3 の DFF の出力が UP 信号として前記フィルタに出力され、前記第 4 の DFF の出力が DOWN 信号として前記フィルタに出力されることを特徴とする請求項 2 記載の PLL 回路。

【請求項 4】 前記サンプリング回路の前記第 1 と第 2 の識別器が D 型フリップフロップ（DFF）から構成されることを特徴とする請求項 2 記載の PLL 回路。

【請求項 5】 前記サンプリング回路の前記第 1 と第 2 の識別器はそれぞれ、第 1 から第 3 のラッチ回路から構成され、前記第 1 のラッチ回路のデータ入力端子には前記入力データが入力され、前記第 2 のラッチ回路のデータ入力端子には前記第 1 のラッチ回路の出力が接続され、前記第 3 のラッチ回路のデータ入力端子には前記第 2 のラッチ回路の出力が接続され、前記第 1 と第 3 のラッチ回路のクロック入力端子にはクロックが入力され、前記第 2 のラッチ回路のクロック入力端子には論理反転されたクロックが入力され、前記第 2 のラッチ回路の出力端子から前記識別器の出力が出力され、前記第 3 のラッチ回路の出力から前記識別器の論理反転出力が出力されることを特徴とする請求項 2 又は 3 記載の PLL 回路。

【請求項 6】 前記第 1 と第 2 の識別器のそれぞれの前記第 2 のラッチ回路の出力端子から前記分離データが出力されることを特徴とする請求項 5 記載の PLL 回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、IC 化に適したデジタル方式の高速動作に適した位相同期ループ（PLL）回路に関する。

【0002】

【従来の技術】従来、位相同期ループ（PLL）回路を用いたクロックリカバリ回路は、データ通信のなかにおいて装置の小型化に結びつく重要な技術であり、さまざまな種類の PLL に関して報告がある。

【0003】その中で、D-Type フリップフロップ回路を位相比較器に適用して高速化に適した PLL 回路の報告がある。このような回路の一例が論文“A Monolithic 2.3-Gb/s 100-mV Clock and Data Recovery Circuit in Silicon Bipolar Technology” IEEE Journal of Solid-State Circuit. VOL. 28, NO. 12, pp. 1310-1313, Dec. 1993. に記載されている。

【0004】図 7 は従来の PLL 回路を示す図である。本従来例は位相比較器 50、フィルタ 51、VCO 52、識別器 53 から構成される。さらに、位相比較器 50 は、第 1 の DFF 54 及び第 2 の DFF 55 から構成される。

【0005】本従来例の動作を説明する。まず、VCO 52からのクロック信号は、位相比較器50内の第1と第2のDFF54, 55からのデータ入力信号によってサンプリングされる。この時、第1のDFF54では、データ入力信号の立ち上がり時にクロック信号をサンプリングし、第2のDFF55では、データ入力信号の立下り時にクロック信号をサンプリングするため、クロック信号は、第1と第2のDFF54, 55に交互にサンプリングされることになる。

【0006】ここで、第1もしくは第2のDFF54, 55による、サンプリングデータ入力信号の論理が'0'で、次にサンプリングされたデータが'1'の場合、データ入力信号に対してクロック信号の位相が遅いと判断し、VCO52の位相を進ませる方向、すなわちVCO52の発振周波数を上げる方向に制御する。逆に、サンプリングデータ入力信号が'1'から'0'に変化した場合、データ入力信号に対してクロック信号の位相が進んでいると判断し、VCO52の位相を遅くする方向、すなわちVCO52の発振周波数を下げる方向に制御する。このような過程を経ることにより、データ入力信号の変化点とクロック信号の立下りが重なるように、データ入力信号とVCO52のクロック信号が同期する。

【0007】そのクロック信号を用いて、識別器53によりデータ入力信号を識別再生することでデータ出力が得られる。本発明では、最も高速動作が要求される位相比較器50がデジタル回路で構成されているために、アナログ回路を用いた位相比較器より高速動作に適しており、Siバイポーラの半導体集積回路技術を用いてギガビット動作のPLLが実現されている。

#### 【0008】

【発明が解決しようとする課題】従来例の技術では、位相比較器がデジタル回路で構成されているために高速動作に適しているが、それでも、最低限、位相比較器内のDFFが、入力データのビットレートと等しいクロックで動作する必要がある。そのため、低消費電力化が期待されるが、動作速度がバイポーラデバイスに比べて遅いCMOSを用いた場合、どうしても、ギガビット動作のデジタル回路が困難なために、従来の手法によるギガビット動作のPLLを実現することが難しい。

【0009】【発明の目的】本発明の主な目的は、NRZ入力信号に対し、CMOSに適し、かつ高速動作に適したPLL回路を提供するものである。

#### 【0010】

【課題を解決するための手段】本発明では、入力データとVCOから発生される入力データのビットレートに対して1/2の周波数を持つ第1のクロックと、前記第1のクロックと90度の位相差を持つ第2のクロック信号を用いて、入力データと前記第1のクロックとの位相差を検出し、位相の進み遅れの信号を出力し、さらに、入

力データを1:2に分離することが出来る位相比較器と、前記位相比較器の出力を用いて前記VCOの制御電圧を発生させるフィルタと、前記フィルタの出力信号を前記VCOに帰還する構成を特徴とする。

【0011】前記位相比較器は、データサンプリング回路と位相判定回路から構成され、前記データサンプリング回路は第1と第2の識別器及び第1と第2のDFFから構成され、前記第1と第2の識別器のデータ入力端子には、PLLへの入力データが入力され、前記第1の識別器のクロック入力端子には、前記第1のクロックの論理が反転されたものが入力され、前記第2のクロック入力端子には、前記第1のクロックが入力され、前記第1と第2のDFFのデータ入力端子には、PLLへの入力データが入力され、前記第1のDFFのクロック入力端子には前記第2のクロックが入力され、前記第2のDFFのクロック入力端子には、前記第2のクロックの論理が反転されたものが入力される。さらに、前記第1と第2の識別器の出力を分離データとして出力する。

【0012】また、前記位相判定回路は3つの入力端子を持つ第1から第4のAND回路と2つの入力端子を持つ第1と第2のOR回路から構成され、前記第1と第2のAND回路の2つの入力端子には前記第1の識別器の論理反転出力と前記第2の識別器の出力が接続され、前記第1のAND回路の残りの入力端子には前記第1のDFFの出力が接続され、前記第2のAND回路の残りの入力端子には前記第1のDFFの論理反転出力が接続され、前記第3と第4のAND回路の2つの入力端子には、前記第1の識別器の出力と前記第2の識別器の論理反転出力が接続され、前記第3のAND回路の残りの入力端子には前記第2のDFFの出力が接続され、前記第4のAND回路の残りの入力端子には前記第2のDFFの論理反転出力が接続され、前記第1のOR回路の入力端子には前記第1と第3のAND回路の出力が接続され、前記第2のOR回路の入力端子には前記第2と第4のAND回路の出力が接続され、前記第1のOR回路の出力がUP信号として出力され、前記第2のOR回路の出力がDOWN信号として出力されることを特徴とする。

【0013】さらに、前記位相比較器は前期サンプリング回路と前記位相判定回路及び第3と第4のDFFから構成され、前記位相判定回路の前記第1のOR回路の出力が前記第3のDFFのデータ入力端子に接続され、前記第2のOR回路の出力が前記第4のDFFのデータ入力端子に接続され、前記第2のクロックが前記第3と第4のDFFのクロック入力端子に接続され、前記第3のDFFの出力がUP信号として出力され、前記第4のDFFの出力がDOWN信号として出力されることを特徴とする。

【0014】さらに、前記サンプリング回路の前記第1と第2の識別器がDFFから構成されることを特徴とす

る。

【0015】さらに、前記サンプリング回路の前記第1と第2の識別器はそれぞれ、第1から第3のラッチ回路から構成され、前記第1のラッチ回路のデータ入力端子にはデータが入力され、前記第2のラッチ回路のデータ入力端子には前記第1のラッチ回路の出力が接続され、前記第3のラッチ回路のデータ入力端子には前記第2のラッチ回路の出力が接続され、前記第1と第3のラッチ回路のクロック入力端子にはクロックが入力され、前記第2のラッチ回路のクロック入力端子には論理反転されたクロックが入力され、前記第2のラッチ回路の出力端子から前記識別器の出力が出力され、前記第3のラッチ回路の出力から前記識別器の論理反転出力が出力されることを特徴とする。

【0016】〔作用〕本発明では、入力データのビットレートの1/2クロックを用いて、入力データに同期したクロックを発生させ、同時にデータの分離を行う。その際、データ分離に使う一つのクロック信号、CLK0のみでは、クロックの位相が入力データに対して進んでいるか遅れているかの判断がつかないために、90度位相が違う補助クロック信号CLK90も用いて、計2つのクロックを使って位相比較を行う。

【0017】本発明の位相比較器では、入力データをCLK0とCLK90のそれぞれの両エッジ、計4点でサンプリングする。位相比較は、その内、CLK0の両エッジ及びCLK90の片方のエッジ計3点を用いて行う。その際、CLK90のサンプリング点はCLK0の両エッジに挟まれた方のCLK90のエッジによるサンプリング点を用いる。ここで、サンプリングする時間の早い方から1, 2, 3と番号を付ける。サンプリング信号1及び3はCLK0でサンプリングされた時の出力信号、サンプリング信号2はCLK90でサンプリングされた時の出力信号となる。

【0018】次に、位相の進み遅れ判断を以下の論理で行い、位相比較器からUP、DOWN信号を出力させる。サンプリング信号1及びサンプリング信号3のレベルが異なり、尚かつ、サンプリング信号2のレベルがサンプリング信号1のレベルと同じであれば位相が進んでいると判断し、DOWN信号を発生させる。逆にサンプリング信号2のレベルがサンプリング信号3のレベルと同じであれば、位相が遅れていると判断し、UP信号を発生させる。

【0019】本発明では、サンプリング信号1とサンプリング信号3が異なっていることを検出し、CLK90の両エッジでサンプリングされた2つのサンプリングデータで、サンプリング信号1とサンプリング信号3に挟まれている方を選んで位相比較を行う。位相比較信号はフィルタを用いて、VCOに帰還される。ここで、クロックの周波数は、入力データのビットレートに対して半

ができる。そのため、高速信号に適応しやすい。また、サンプリング信号1と2をそのまま、入力データの分離データとして用いることにより、その分データ分離回路が不要になり、回路の小型化に結びつく。

【0020】

【発明の実施の形態】次に、本発明の実施形態について、図面を参照して詳細に説明する。

【0021】〔第1の実施形態〕図1は本発明の第1の実施形態を示すブロック図である。

【0022】図1において、NRZ形式の入力データ及び入力信号のビットレートの1/2の周波数を持つクロックを発生させるVCO3からのクロック信号CLK0とその $\pi/2$ 位相ズレのクロック信号CLK90とは位相比較器1に入力される。

【0023】位相比較器1は、入力データとクロックとの位相比較を行い、入力データに対してクロックの位相が遅れていればUP信号を出力し、逆にクロックの位相が進んでいればDOWN信号を出力する。

【0024】フィルタ2は、位相比較器1のUP/DOWN信号の出力信号を入力し、VCO3の制御電圧を出力する。ここで、UP信号が入力されれば、VCO3の発振周波数を上げる方向に制御電圧を変化させ、DOWN信号が入力されればVCO3の発振周波数を下げる方向に制御電圧を変化させる。

【0025】VCO3はフィルタ2からの制御電圧により発振周波数を変化し、CLK0とそれより90度位相が進んでいるCLK90を出力する。

【0026】次に、位相比較器1の構成について詳細に説明する。図2は本発明の位相比較器1の構成を示した図である。図2において、位相比較器1は大きく分けて、サンプリング回路10とアップダウン信号出力回路11から構成される。さらに、サンプリング回路10は、第1と第2の識別器12, 13と第1と第2のD-typeフリップフロップ(DFF)14, 15から構成される。

【0027】ここで、第1の実施形態では、第1と第2の識別器12, 13は第1と第2のDFF14, 15と同一のD-typeフリップフロップの構成とする。入力データは第1と第2の識別器12, 13及び第1と第2のDFF14, 15のデータ入力端子(D)に入力される。また、CLK0は第1と第2の識別器12, 13のクロック入力端子(C)に入力される。その際、第1の識別器12ではクロックの立ち下がり時に入力データのサンプリングを行い、第2の識別器13ではクロックの立ち上がり時に入力データのサンプリングを行う。CLK90は第1と第2のDFF14, 15のクロック入力端子(C)に入力される。その際、第1のDFF14ではクロックの立ち上がり時に入力データのサンプリングを行い、第2のDFF15ではクロックの立ち下がり時に入力データのサンプリングを行う。また、第1と第

2の識別器12, 13の出力を分離データ出力とし、データ1、データ2として出力する。

【0028】アップダウン信号出力回路11は第1から第4のAND回路16～19及び第1と第2のOR回路20, 21から構成される。第1の識別器12の出力(Q)は第3と第4のAND回路18, 19にされる。また、第1の識別器12の論理反転出力(QB)は第1と第2のAND回路16, 17にされる。第2の識別器13の出力(Q)は第1及び第2のAND回路16, 17にされる。また、第2の識別器13の論理反転出力(QB)は第3と第4のAND回路18, 19にされる。

【0029】また、第1のDFF14の出力(Q)は第1のAND回路16にされる。また、第1のDFF14の論理反転出力(QB)は第2のAND回路17にされる。第2のDFF15の出力(Q)は第3のAND回路18にされる。また、第2のDFF15の論理反転出力(QB)は第4のAND回路19にされる。

【0030】次に、第1のAND回路16と第3のAND回路18の出力は第1のOR回路20にされる。また、第2のAND回路17と第4のAND回路19の出力は第2のOR回路21にされる。第1のOR回路20の出力はUP信号出力端子に接続され、第2のOR回路21の出力はDOWN信号出力端子に接続される。

【0031】次に、本発明の第1の位相比較器1の動作について図を用いて説明する。図3は第1の位相比較器1の各部の動作波形を示した図である。図3(a)は入力データに対してクロックの位相が遅れている場合を示し、図3(b)は入力データに対してクロックの位相が進んでいる場合を示している。ここで、識別器1出力には、CLK0の立ち下がり時にサンプルされたデータが出力され、識別器2出力にはCLK0の立ち上がり時にサンプルされたデータが出力されている。DFF1出力にはCLK90の立ち上がり時にサンプルされたデータが出力され、DFF2出力にはCLK90の立ち下がり時にサンプルされたデータが出力されている。また、これらの出力データはクロックの一周期の間保持される。

【0032】ここで、図3(a)について考えると、最初に入力データが'0'から'1'に変わった時点から少し時間が経った時点t1で、識別器1の出力が'1'に変化する。そうすると、識別器1と識別器2の出力が異なり、また、その時のDFF1及びDFF2の出力から、AND3の出力が'1'になるため、UP信号が'1'となる。

【0033】次に2番目に入力データが'0'から'1'に変わった時点t2に着目すると、識別器2の出力が'1'になり、AND1の出力が'1'になって、最初の場合と同様にUP信号が'1'になる。ここで、D

OWN信号にもパルスが生じているが、これは、識別器1と識別器2のデータを保持している期間がクロックの半周期ずれていることから生じる。しかし、このパルスが生じて位相比較器1のゲインが見かけ上少し減少するに留まり、クロックがデータに同期する動作には影響ない。

【0034】図3(b)の場合も同様で、入力データが'0'から'1'に変化すると、時点t3, t4で識別器1または識別器2の出力が変化し、その時のDFF1及びDFF2の出力からAND2またはAND4の出力が'1'になることで、DOWN信号が'1'になる。以上の動作により、データとクロックの位相比較が行われ、その信号をフィルタ2を通し、VCO3に帰還することで、同期が行われる。

【0035】従って、入力データに対してVCO3からのクロック信号が遅れている場合には、図3(a)に示すように、UP信号が位相比較器1から出力され、フィルタ2を介して、VCO3にされ、クロック信号を進ませて位相比較器1に負帰還させ、クロック信号を徐々に進ませ、位相を一致させる。また、入力データに対してVCO3からのクロック信号が進んでいる場合には、図3(b)に示すように、DOWN信号が位相比較器1から出力され、フィルタ2を介して、VCO3にされ、クロック信号を遅らせて位相比較器1に負帰還させ、クロック信号を徐々に遅らせ、位相を一致させる。この際、本位相比較器1がデジタル処理回路で構成されているので、負帰還のPLL回路としての収束時間は、フィルタ2の時定数にもよるが、極めて小さく、瞬く間に同期したクロック信号を出力する。また、同期のとれたVCO3の出力は、識別器1, 2にされ、図3に示す識別器1, 2の出力をデータ1, 2として出力される。

【0036】ここで、NRZ形式の入力データに対して入力データ信号のビットレートの1/2の周波数を持つクロックをVCO3で発生し、VCO3の出力のクロック信号と識別器1, 2の出力のデータ1, 2とはクロック信号の1/2倍の繰り返しパルスの位相関係となる。例えば、入力データが1Gbit/sであれば、VCO3の発振周波数は500MHzとなる。

【0037】〔第2の実施形態〕次に、本発明の第2の実施形態について、図4を用いて詳細に説明する。図4において、第1の実施形態に加えて、第3のDFF30及び第4のDFF31が接続されている。

【0038】この位相比較器1は、図2と同様に、サンプリング回路10とアップダウン信号出力回路11から構成される。さらに、サンプリング回路10は、第1と第2の識別器12, 13と第1と第2のD-typeフリップフロップ(DFF)14, 15から構成される。アップダウン信号出力回路11も、図2と同様に、AND1～4と、OR1, 2とから構成されている。このサ

ンプリング回路10とアップダウン信号出力回路11の動作も、図2で説明した動作と同様である。

【0039】さらに、位相比較器1において、第3のDFF30のデータ入力端子(D)には第1のOR20の出力端子が接続され、第4のDFF31のデータ入力端子(D)には第2のOR21の出力端子が接続され、第3及び第4のDFF30、31のクロック入力端子

(C)にはCLK90が接続されている。また、第3のDFF30の出力端子(Q)からUP信号が出力され、第4のDFF31の出力端子(Q)からDOWN信号が出力される。このような構成として、UP、DOWN信号をCLK信号でサンプルすることにより、第1の実施形態における、UP信号が出力された後で、不要なDOWN信号が出力されるという現象がなくなる。

【0040】図5に第2の実施形態の動作を示す波形を示す。図5において、入力データからOR2出力までは、第1の実施形態と同じである。

【0041】次に、UP、DOWNの出力信号をみると、図5(a)のクロックの位相が遅れている場合は、UP信号のみ出力され、DOWN信号は出力されない。逆に図5(b)のクロックの位相が進んでいる場合は、DOWN信号のみ出力され、UP信号は出力されない。このような構成にすることにより、第1の実施形態で見られたUP出力の後、付随的にDOWN信号も出力されるということがなくなり、位相比較器1のゲインが大きくなる。そのため、第1の実施形態に比べて引き込み時間が短くなる。

【0042】【第3の実施形態】次に本発明の第3の実施の形態について、図6を用いて詳細に説明する。図6において、位相比較器1のサンプリング回路10内の第1及び第2の識別器12、13は、第1から第3のラッチ40~42から構成されている。

【0043】ここで、第1から第3のラッチ40~42はクロック(C)の立ち上がり時にデータ(D)をラッチし、その値をクロックの立ち下がり時まで保持し、さらに、ラッチした値の逆の論理を出力端子(O)から出力するとする。第1と第2の識別器12、13では、正論理出力(Q)を第2のラッチ32の出力端子(O)から出力し、反転論理出力(QB)を第3のラッチ33の出力端子(O)から出力するとする。

【0044】このような構成にすることで、第1の識別器12の出力(Q)と第2の識別器13の反転出力(QB)及び第1の識別器12の反転出力(QB)と第2の識別器13の出力(Q)がそれぞれ、同じタイミングで出力される。

【0045】そのため、例えば第1の識別器12の反転出力(QB)と第2の識別器13の出力(Q)及びCLK90によるDFF14の出力(Q)と反転出力(QB)とを用いて判定を行う第1と第2のAND回路16、17の判定時間が長くとれるために、図4に示した

第3と第4のDFF30、31のクロックのタイミングの設計が容易になる。

【0046】

【発明の効果】本発明の第1の効果は、高速動作に適するためにVCOの周波数が入力データの1/2でも位相比較が出来るようなPLL回路を構成できることである。本発明を用いることにより、例えば2.4Gb/sのNRZ入力信号に対して動作するCMOSを用いたPLL回路が実現できた。

【0047】また、本発明の第2の実施形態を用いることにより、第1の実施形態に比べ、位相比較器のゲインが高くなり、それだけ引き込み時間の短いPLL回路が実現できた。また、本発明の第3の実施形態を用いることにより、第2の実施形態に比べ、動作速度が約1.5倍上昇した。

【図面の簡単な説明】

【図1】本発明の実施形態の構成を示すブロック図である。

【図2】本発明の図1における本発明の位相比較器の第1の実施形態の構成を示す回路図である。

【図3】(a)本発明の図2の位相比較器における入力データに対してクロックの位相が遅れている場合の主要信号の波形を示す図である。(b)本発明の図2の位相比較器における入力データに対してクロックの位相が進んでいる場合の主要信号の波形を示す図である。

【図4】本発明の位相比較器の第2の実施形態の構成を示す回路図である。

【図5】(a)本発明の図4の位相比較器における入力データに対してクロックの位相が遅れている場合の主要信号の波形を示す図である。(b)本発明の図4の位相比較器における入力データに対してクロックの位相が進んでいる場合の主要信号の波形を示す図である。

【図6】本発明の図2における識別器の第2の実施形態の構成を示す回路図である。

【図7】従来のPLL回路を示す図である。

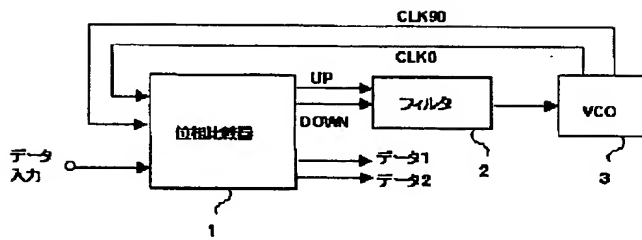
【符号の説明】

- 1 位相比較器
- 2 フィルタ
- 3 VCO
- 10 サンプリング回路
- 11 位相判定回路
- 12, 13 識別器
- 14, 15 DFF
- 16~19 AND回路
- 20, 21 OR回
- 30, 31 DFF
- 40~42 ラッチ回路
- 50 位相比較器
- 51 フィルタ
- 52 VCO

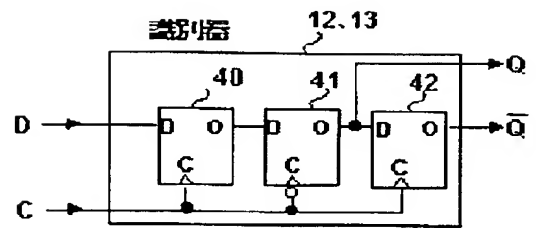
53~55 DFF

11

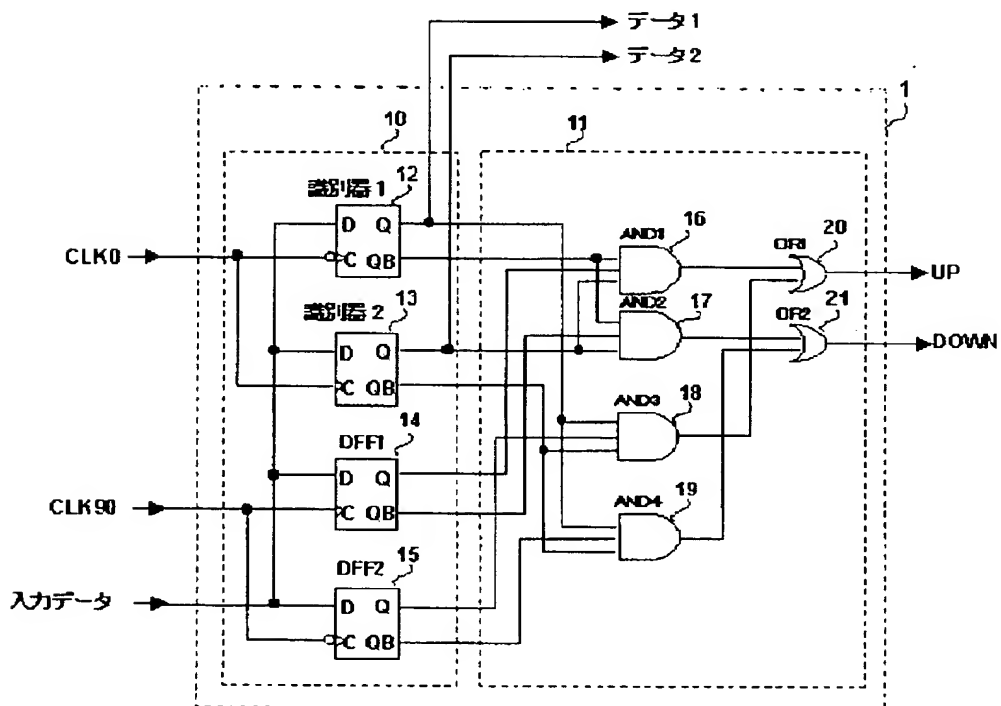
【図 1】



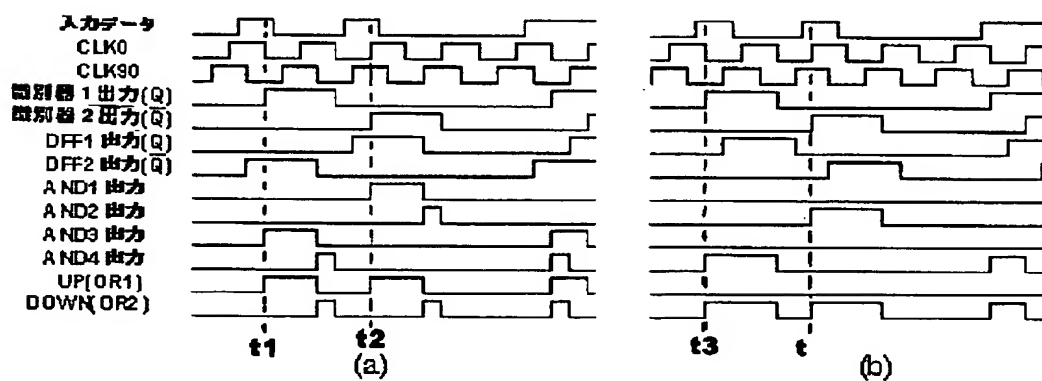
【図 6】



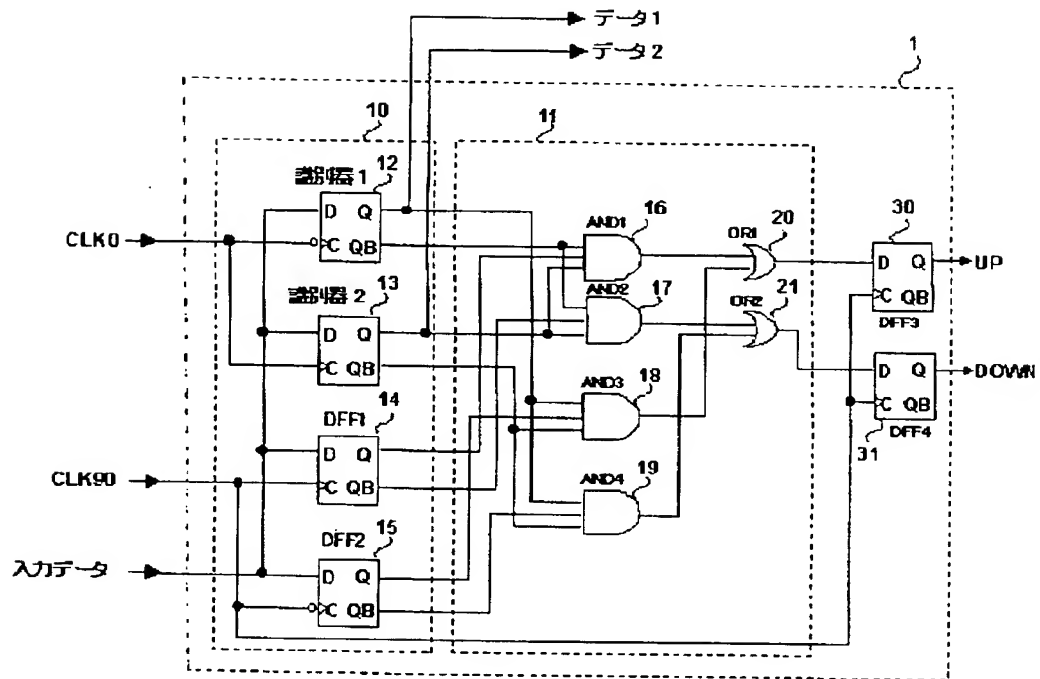
【図 2】



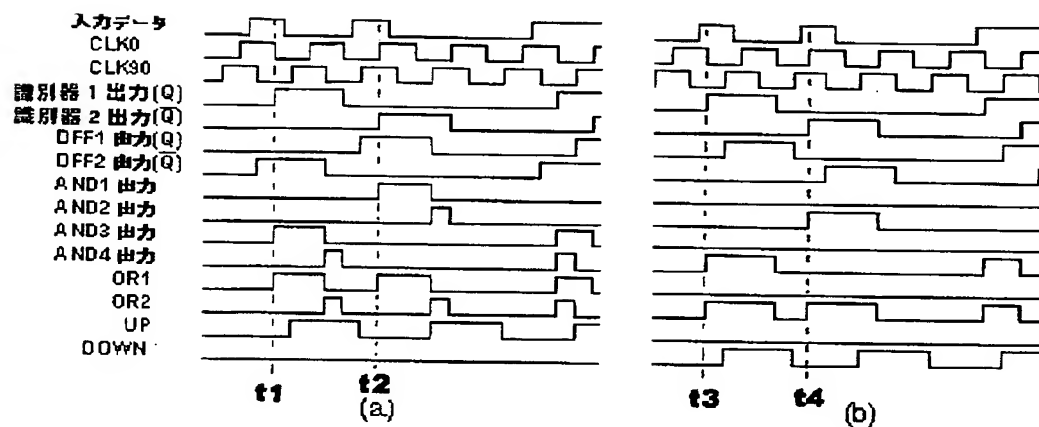
【図 3】



【図4】



【図5】



【図 7】

